

1. Булова алгебра. Логички закони. Логички изрази и њихове нормалне форме. Логичке функције. Потпуни системи везника.
2. Минимизација логичких израза. Метод алгебарских трансформација. Пример.
3. Минимизација логичких израза. Метод Карноових мапа. Третман небитних (*don't-care*) вредности. Пример.
4. Минимизација логичких израза. Метод Квин-Мекласког. Третман небитних (*don't-care*) вредности. Пример.
5. Имплементација NOT кола у CMOS технологији.
6. Имплементација NAND и AND кола у CMOS технологији.
7. Имплементација NOR и OR кола у CMOS технологији.
8. Имплементација XOR кола у CMOS технологији.
9. Имплементација бафера са три стања у CMOS технологији. Пропусни (енгл. *pass*) транзистори и преносне капије (енгл. *transmission gate*).
10. Комбинаторна кола. Дефиниција и основна својства. Кашњење комбинаторних кола. Примери.
11. Мултиплексери. Функција и шематска ознака. Пример употребе. Пример имплементације 4-1 мултиплексера (шема кола). Вишебитни мултиплексери (пример шеме кола 4-битног 2-1 мултиплексера).
12. Демултиплексери. Функција и шематска ознака. Пример употребе. Пример имплементације 1-4 демултиплексера (шема кола). Вишебитни демултиплексери (пример шеме кола 4-битног 1-2 демултиплексера).
13. Кодери. Пример имплементације кодера 4-2 (шема кола).
14. Декодери. Функција и шематска ознака. Пример употребе. Пример имплементације декодера 2-4 (шема кола).
15. 8-битни помераач. Пример имплементације.
16. 4-битни компаратор на једнакост. Пример имплементације.
17. 4-битни потпуни компаратор. Пример имплементације.
18. Полусабирач и потпуни сабирач. Вишебитни таласаста сабирач. Шема кола. Кашњење.
19. Полуодузимаач и потпуни одузимаач. Вишебитни таласаста одузимаач. Шема кола. Кашњење.
20. Сабирач са рачунањем преноса унапред. Основни принцип рада. Кашњење.
21. Аритметичко логичка јединица. Функција и шематска ознака. Пример имплементације.
22. ROM меморије. Пример: 4-битна ROM меморија са 2-битном адресом.
23. Секвенцијална кола. Дефиниција и основна својства. Општа структура секвенцијалних кола. Повратна спрега. Стабилност стања секвенцијалног кола. Стабилна и нестабилна кола. Примери.
24. Синхрона и асинхрона секвенцијална кола. Часовник. Функција и улога. Структура циклуса часовника. Типови часовника. Фреквенција.
25. RS реза и флип-флоп. Таблица преласка. Master-slave RS флип-флоп. Шема кола.
26. D реза и флип-флоп. Таблица преласка. Master-slave D флип-флоп. Шема кола.
27. JK флип-флоп. Таблица преласка. Master-slave JK флип-флоп. Шема кола.
28. T флип-флоп. Таблица преласка. Master-slave T флип-флоп. Шема кола.
29. Проблем „хватања јединице” (*1s catching problem*) код JK и RS флип-флопа и начин решавања овог проблема.
30. Регистри. Пример имплементације: 4-битни регистар.
31. Помераачки регистар. Шема кола. Серијски и паралелни улаз и излаз. Примери употребе.
32. Синхроне и асинхроне меморије. Примери имплементације. Конструкција сложенијих меморија помоћу једноставнијих.
33. Статичке и динамичке меморије. Принцип рада. Поређење.
34. Асинхрони и синхрони бројач. Шеме кола. Поређење.
35. Дизајн бројача са произвољним редоследом стања. Пример.
36. Дизајн коначних аутомата. Пример.

37. Рачунари са фиксираним програмом. Принцип рада. Пример.
38. Рачунари са ускладиштеним програмом. Структура рачунарског система.
39. Машинске инструкције. Структура инструкција и врсте операнада. Типови машинских инструкција. Начини адресирања операнада машинских инструкција. Врсте рачунара према броју операнада у инструкцијама. Примери.
40. Позивање потпрограма. Системски стек. Начини преноса аргумената, повратне адресе и повратне вредности.
41. RISC и CISC архитектуре. Основне карактеристике. Примери и поређење.
42. x86-64 архитектура. Основне карактеристике. Регистри. Начини адресирања. Инструкције трансфера. Аритметичко логичке инструкције. Контрола тока. Позиви процедура. SSE регистри и инструкције за рад са реалним бројевима.
43. ARM архитектура. Основне карактеристике. Регистри. Начини адресирања. Инструкције трансфера. Аритметичко логичке инструкције. Контрола тока. Позиви процедура.
44. Путања података у процесору (*datapath* компонента). Примери структура путање података. Принцип извршавања операција на путањи података. Пример.
45. Контролна јединица. Функција и улога. Улазни и излазни сигнали контролне јединице. Тврдо-ожичена и микропрограмирана имплементација контролне јединице. Структура микроинструкције. Вертикална и хоризонтална организација микроинструкција.
46. Структура процесора. Значајни интерни регистри процесора (IR, PC, MAR, MDR) и њихове улоге. Принцип рада. Фазе извршавања машинске инструкције.